

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026319

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/316
H01L 29/43

(21)Application number : 2001-084531

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 23.03.2001

(72)Inventor : BOKU DAIKEI

(30)Priority

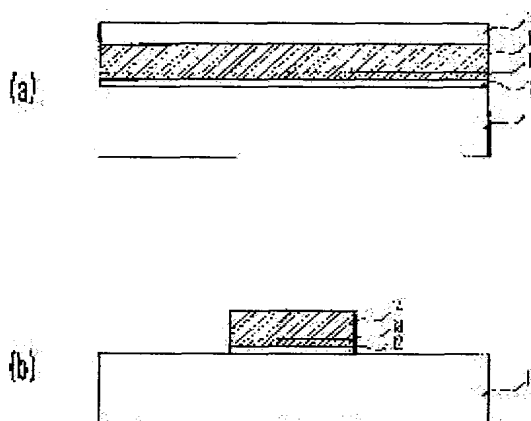
Priority number : 2000 200035691 Priority date : 27.06.2000 Priority country : KR

(54) GATE FORMING METHOD FOR SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gate forming method of a semiconductor element having no leakage current in a manufacturing process for a high-integrated fast element.

SOLUTION: There are provided a step where a gate insulating film and a TiAl film are formed on a semiconductor substrate, a step where a metal layer and an insulating film are formed on the TiAlN film, a step where after the insulating film is patterned, the metal layer, the TiAlN film, and the gate insulating film are etched with the patterned insulating film as a mask to form a gate, and a step where the insulating film is removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

8

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26319

(P2002-26319A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 Z	4 M 1 0 4
21/28	3 0 1	21/316	S	5 F 0 5 8
21/316			M	5 F 1 4 0
		29/78	3 0 1 C	
29/43		29/62	C	
審査請求 未請求 請求項の数15 O L (全 4 頁)				

(21) 出願番号 特願2001-84531(P2001-84531)

(22) 出願日 平成13年3月23日 (2001.3.23)

(31) 優先権主張番号 2 0 0 0 - 3 5 6 9 1

(32) 優先日 平成12年6月27日 (2000.6.27)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 朴 大 奎

大韓民国 京畿道 利川市 夫鉢邑 新河里 481-1 番地 サミクアパートメント 104-904

(74) 代理人 100066784

弁理士 中川 周吉 (外1名)

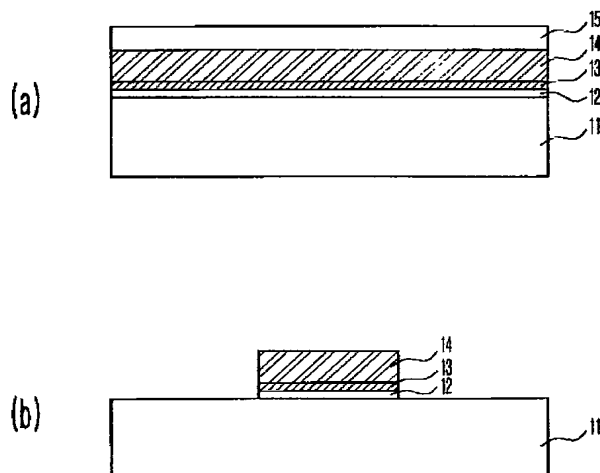
最終頁に続く

(54) 【発明の名称】 半導体素子のゲート形成方法

(57) 【要約】

【課題】 高集積高速素子の製造工程において漏洩電流が発生しない半導体素子のゲート形成方法を提供すること。

【解決手段】 本発明は半導体基板上にゲート絶縁膜及びT i A l膜を形成する段階と、前記T i A l N膜上に金属層及び絶縁膜を形成する段階と、前記絶縁膜をパターニングした後、前記パターニングされた絶縁膜をマスクとして前記金属層、T i A l N膜及びゲート絶縁膜をエッチングしてゲートを形成する段階と、前記絶縁膜を除去する段階とを含んでなることを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜及びTiAlN膜を形成する段階と、

前記TiAlN膜上に金属層及び絶縁膜を形成する段階と、

前記絶縁膜をパターンニングした後、前記パターンニングされた絶縁膜をマスクとして前記金属層、TiAlN膜及びゲート絶縁膜をエッチングしてゲートを形成する段階と、

前記絶縁膜を除去する段階とを含んでなることを特徴とする半導体素子のゲート形成方法。

【請求項2】 前記ゲート絶縁膜をシリコン酸化膜または誘電定数の高い酸化膜で形成することを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項3】 前記高い誘電定数を有する酸化膜を、 Al_2O_3 膜、 Ta_2O_5 膜、 TiO_2 膜、 ZrO_2 膜、 HfO_2 膜、 ZrAlO 膜、 HfAlO 膜、 ZrSiO_4 膜、 HfSiO_4 膜のいずれか一種で形成することを特徴とする請求項2記載の半導体素子のゲート形成方法。

【請求項4】 前記ゲート絶縁膜として前記高い誘電定数を有する酸化膜を形成する前にシリコン酸化膜を3～10Åの厚さに形成することを特徴とする請求項1または請求項2記載の半導体素子のゲート形成方法。

【請求項5】 前記ゲート絶縁膜として高い誘電定数を有する酸化膜を形成した後、500～800℃で10秒～5分程度の急速熱処理工程、10分～100分程度の熱処理工程またはUV/ O_3 処理を行うことを特徴とする請求項1または請求項2記載の半導体素子のゲート形成方法。

【請求項6】 前記TiAlN膜を、15～80sccmの N_2 と5～25sccmのArを注入し、-30～500℃の温度を維持するチャンバーにTiAlターゲットを装着した後、500W～7kWの電力を印加して形成することを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項7】 前記TiAlターゲットはAlの組成が5%～35%であることを特徴とする請求項6記載の半導体素子のゲート形成方法。

【請求項8】 前記TiAlN膜を、不活性ガス雰囲気下にTiAlNターゲットを装着した後、DCまたはRFバイアスを印加して形成することを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項9】 前記TiAlNターゲットはAlNの組成が5%～35%であることを特徴とする請求項8記載の半導体素子のゲート形成方法。

【請求項10】 前記TiAlN膜は、Tiのソース物質として TiCl_4 及びTDMA Tを使用し、Alのソース物質として AlCl_3 、TMA [$\text{Al}(\text{CH}_3)_3$]を使用し、Nのソース物質として NH_3 、ND、 N_3 を使用してAlNの組成が5～35%となるように形成する

ことを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項11】 前記TiAlN膜基板と基板を150～450℃の温度に維持した状態でTiソースを添加した後、窒素ソースを展開してTiNを蒸着し、Alソースを添加してAlNを蒸着して形成することを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項12】 前記TiAlN膜を形成した後、急速熱酸化工程を行うことを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項13】 前記急速熱酸化工程は酸素雰囲気中で500～650℃の温度にランプアップされるとき10秒～30秒程度急速熱処理することを特徴とする請求項12記載の半導体素子のゲート形成方法。

【請求項14】 前記金属層をW膜、Ta膜、WN膜、Ta₂N膜、Al膜、TiSix膜、CoSix膜及びNiSi膜のいずれか一種で形成することを特徴とする請求項1記載の半導体素子のゲート形成方法。

【請求項15】 前記絶縁膜を SiO_2 膜、 Si_3N_4 膜またはSiON膜で形成することを特徴とする請求項1記載の半導体素子のゲート形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のゲート形成方法に係り、特にゲート絶縁膜と金属ゲートとの間に障壁層としてTiAlN膜を形成することにより、ゲート漏洩電流を防止し且つ低いしきい値電圧を得ることができる半導体素子のゲート形成方法に関する。

【0002】

【従来の技術】現在量産中のDRAM及び論理素子などの製造工程においてゲート絶縁膜としてシリコン酸化膜(SiO_2)をよく使用しているが、デザインルールの縮小に伴ってシリコン酸化膜の厚さがトンネリングの限界厚さ、即ち25～30Å以下に減少する趨勢にある。例えば、0.1μmのデザインルールにおいて、ゲート絶縁膜の厚さは25～30Åと予想される。しかし、ダイレクトトンネリング(direct tunneling)によるオフ電流の増加が素子の動作に悪影響を及ぼす虞があり、特にメモリ素子の場合、漏洩電流を減少させるための方法が重要課題として台頭してきた。このため、高い誘電定数を有する絶縁物質をゲート絶縁膜として使用する研究が行われている。

【0003】代表的にキャパシタの誘電体膜として用いられるタンタル酸化膜(Ta_2O_5)、チタン酸化膜(TiO_2)、アルミニウム酸化膜(Al_2O_3)などをゲート絶縁膜として使用する。アルミニウム酸化膜はシリコン酸化膜の2.5倍程度高い誘電定数を有する。しかし、半導体素子の高集積化に伴って、25～30Å程度の厚さに形成する場合、厚さが薄くなるほど誘電定数値が低下するため、適用することが困難である。これを克

服するためにゲート物質としてポリシリコンの代わりに金属を採用すると、25～30 Å程度の厚さまで、大きな問題なく絶縁膜を形成することができる。ところが、W/WNまたはW/TiN構造でゲートを形成する場合、その仕事関数が4.55～4.8 eVなので、有効電荷量 $2\sim3\times10^{12}/\text{cm}^2$ のアルミニウム酸化膜またはタンタル酸化膜と結合すると、次のような問題点が発生するものと予想される。即ち、キャパシタにおけるフラットバンド電圧(flatband voltage)が0.2～0.3 V、しきい値電圧が1.0～1.1 V程度であって、サブミクロン素子水準で必要なしきい値電圧0.4～0.6 Vに比べて0.5 V程度大きいので、金属ゲートと高い誘電定数を有する絶縁膜構造の適用に難しさが予想される。

【0004】

【発明が解決しようとする課題】本発明の目的は、高集積高速素子の製造工程において漏洩電流が発生しない半導体素子のゲート形成方法を提供することにある。

【0005】本発明の他の目的は、高集積高速素子の製造工程において低いしきい値電圧を得ることができる半導体素子のゲート形成方法を提供することにある。

【0006】本発明のまた他の目的は、高集積高速素子の信頼性を向上させることができる半導体素子のゲート形成方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明は、半導体基板上にゲート絶縁膜及びTiAlN膜を形成する段階と、前記TiAlN膜上に金属層及び絶縁膜を形成する段階と、前記絶縁膜をパターンニングした後、前記パターンニングされた絶縁膜をマスクとして前記金属層、TiAlN膜及びゲート絶縁膜をエッチングしてゲートを形成する段階と、前記絶縁膜を除去する段階とを含んでなることを特徴とする。

【0008】本発明ではゲート絶縁膜と金属ゲートとの間に障壁層としてTiAlN膜を形成する。TiAlN膜をPVD法またはCVD法で形成することにより、仕事関数がTiN膜より減少して陰の有効電荷量を有する Al_2O_3 または Ta_2O_5 のような高い誘電定数をもつゲート絶縁膜から低いしきい値電圧を得ることができる。これはTiNとAlNの固溶体特性をもっているTiAlN膜の場合、広いバンドギャップ(～5 eV)と1.5～2 eV程度の電子親和力(electron affinity)を有するAlNを添加して金属特性を有する障壁層を形成し、この際の仕事関数がTiNに比べて減少する特性を利用するものである。また、TiAlN膜はTiNに比べて耐酸化性にも優れているため、素子集積の面においても長所がある。

【0009】

【発明の実施の形態】以下、添付図に基づいて本発明を詳細に説明する。

【0010】図1(a)及び図1(b)は本発明に係る半導体素子のゲート形成方法を説明するために順次示した素子の断面図である。

【0011】図1(a)は半導体基板11上にゲート絶縁膜12、TiAlN膜13、金属層14及び絶縁膜15を順次形成した状態の断面図である。

【0012】ゲート絶縁膜12はシリコン酸化膜または高い誘電定数を有する酸化膜を用いて3～20 Åの厚さに形成する。シリコン酸化膜は600～900℃の熱酸化工程により形成し、高い誘電定数を有する酸化膜としては Al_2O_3 膜、 Ta_2O_5 膜、 TiO_2 膜、 ZrO_2 膜、 HfO_2 膜、そして ZrAlO 、 HfAlO 、 ZrSiO_4 、 HfSiO_4 などの3元系の混合酸化膜を使用する。また、高い誘電定数を有する酸化膜を形成する前にシリコン酸化膜を3～10 Åの厚さに形成するしてもよい。一方、高い誘電定数を有する酸化膜の特性を改善するために、500～800℃で10秒～5分程度の急速熱処理工程、10分～100分程度の熱処理工程、或いはUV/ O_3 処理を行う。

【0013】TiAlN膜13は、15～80 sccmの N_2 と5～25 sccmのArを注入し、-30～500℃の温度を維持するチャンバーにTiAlx(x=0.05～0.35)ターゲットを装着した後、500W～7kWの電力を印加して形成するか、Ar、Xe、Krなどの不活性ガス雰囲気下にTiAlN(AlN=0.05～0.35)のターゲットを装着した後、DCまたはRFバイアスを印加して形成する。また、TiAlN膜13はTiのソース物質として TiCl_4 及びTDMATを使用し、Alのソース物質として AlCl_3 、TMA[$\text{Al}(\text{CH}_3)_3$]を使用し、Nのソース物質として NH_3 、 ND_3 、 N_3 を使用してAlNの組成が5～35%となるようにCVD法で形成する。そして、CVD蒸着を450～700℃の温度で熱室化方法により行うことができる。一方、TiAlN膜13はALD(Atomic Layer Deposition)法によって蒸着してもよいが、このためには基板を150～450℃とした状態でTiソースを添加した後、窒素ソースを添加してTiNを蒸着し、Alソースを添加した後窒素ソースを添加してAlNを蒸着する。この際、薄膜内のAlNの組成比は全体添加回数に対するAlNの添加回数によって決定される。

【0014】TiAlN膜13を形成した後、薄膜内の酸化抵抗性を高めるために、急速熱酸化工程を行うが、急速熱処理工程を利用し、酸素雰囲気中で500～650℃の温度にランプアップ(ramp up)されるとき10秒～30秒程度行う。この際、薄膜内の結晶粒界に酸素が主に偏析(segregation)され、薄膜内総酸素量は1～3%程度となる。

【0015】金属層14はW膜、Ta膜、WN膜、Ta_xN膜、Al膜、TiSix膜、CoSix膜、NiSi

膜のいずれか一種で形成し、500～1500Åの厚さに形成する。

【0016】絶縁膜15はSiO₂膜、Si₃N₄膜またはSiON膜で形成し、300～2000Åの厚さに形成する。

【0017】図1(b)を参照すると、絶縁膜15をパターニングした後、パターニングされた絶縁膜15をマスクとして金属層14、TiAlN膜13及びゲート絶縁膜12を順次エッチングしてパターニングする。そして、パターニングされた絶縁膜15を除去してゲート形成工程を完了する。

【0018】

【発明の効果】上述したように、本発明によれば、ゲート絶縁膜と金属ゲートとの間に障壁層としてTiAlN

膜を形成することにより、漏洩電流が発生することなく低いしきい値電圧を得ることができて、高集積高速素子の信頼性を向上させることができる。

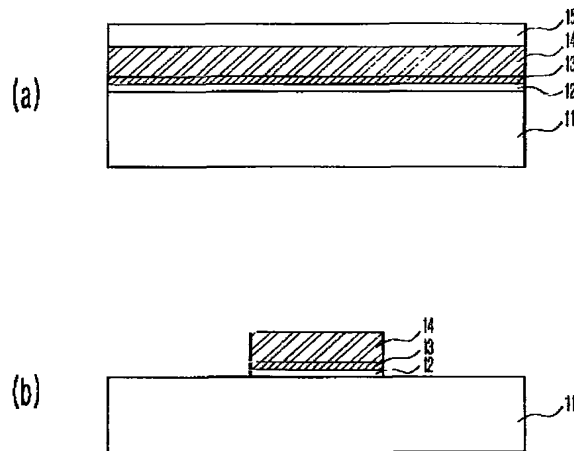
【図面の簡単な説明】

【図1】図1(a)乃至図1(b)は本発明に係る半導体素子のゲート形成方法を説明するために順次示した素子の断面図である。

【符号の説明】

- 11 半導体基板
- 12 ゲート絶縁膜
- 13 TiAlN膜
- 14 金属層
- 15 絶縁膜

【図1】



フロントページの続き

Fターム(参考) 4M104 AA01 BB36 DD34 DD37 DD43
DD80 EE03 EE16 EE17 HH20
5F058 BA20 BD01 BD04 BD12 BF13
BF27 BF30 BF37 BH01 BH03
BJ10
5F140 AA19 BD01 BD05 BD11 BD12
BD13 BE07 BE13 BE16 BE19
BF10 BF11 BF15 BF17 BF18
BF20 BG28 BG30 BG33 BG37
BG39 BG56